



발명으로 만드는 일자리,
특허로 더하는 행복



보도자료

www.kipo.go.kr

KOREAN INTELLECTUAL PROPERTY OFFICE

문 의	특허심사2국 반도체심사과	과 장 제승호 042-481-5950 사무관 이석주 042-481-8377
	2016년 10월 20일(목) 조간부터 보도해 주시기 바랍니다. 인터넷매체는 10월 19일(수) 낮 12시 이후 게재 바랍니다.	

더 얇고 가볍게, 다이어트 중인 반도체 패키지 기술 - 팬 아웃 웨이퍼 레벨 패키지 관련 기술 특허출원 증가 -

보다 얇고 가벼운 고사양 휴대용 전자기기 수요 증가에 발맞춰 팬-아웃 웨이퍼 레벨 패키지(Fan-Out Wafer Level Package: FOWLP) 기술이 반도체 패키지 소형화의 트렌드로 새롭게 부상하고 있는 것으로 나타났다.

□ 팬 아웃 웨이퍼 레벨 패키지(FOWLP) 기술 개요

- 반도체 제조공정은 크게 반도체 재료인 웨이퍼를 이용하여 집적도가 높은 반도체 칩을 만드는 전공정(前工程)과 여러 반도체 칩에 배선을 연결하고 수지로 밀봉하여 반도체 패키지를 만드는 후공정(後工程)으로 나뉘어진다. 그동안 후공정은 전공정에 비하여 부가가치가 낮은 것으로 인식이 되어 왔지만, 전공정에서 반도체 칩의 집적도를 높이는 기술이 점차 한계에 도달함에 따라 후공정에서 반도체 패키지를 소형화 할 수 있는 팬 아웃 웨이퍼 레벨 패키지(FOWLP) 기술이 주목받게 된 것이다.
- 팬 아웃 웨이퍼 레벨 패키지(FOWLP) 기술은 그간 후공정에서 칩 배선에 필수적으로 사용되어 온 인쇄회로기판(Printed Circuit Board: PCB)을 사용하지 않고 칩과 칩 바깥 영역의 입출력 단자를 상호 연결시키기 때문에 반도체 패키지가 얇아지고 배선길이가 짧아지고 방열 기능이 향상되며 신호 전송도 효율적으로 이뤄지게 되는 장점이 있다(붙임 1).

□ 팬 아웃 웨이퍼 레벨 패키지(FOWLP) 기술 특허출원 현황

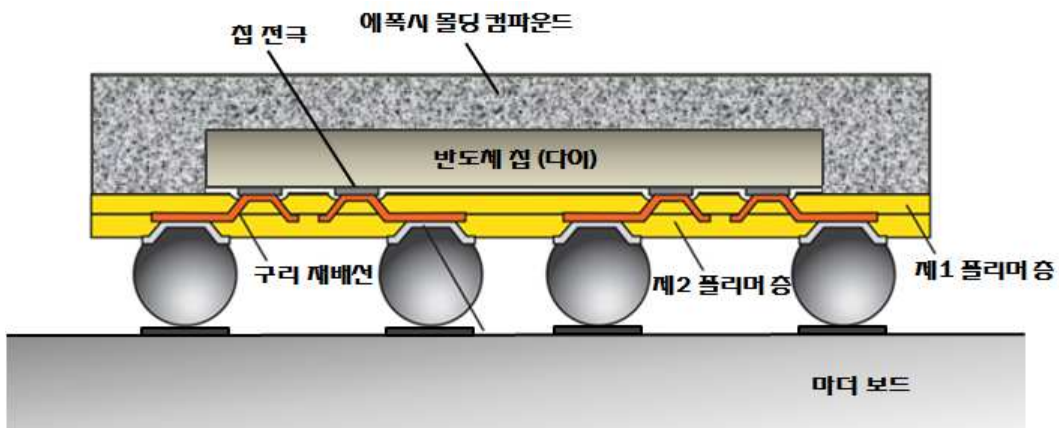
- 특허청(청장 최동규)에 따르면, 최근 8년간(2007~2014년) 팬 아웃 웨이퍼 레벨 패키지(FOWLP) 기술과 관련하여 모두 177건이 특허출원되었고, 2014년에는 전년(35건) 대비 2배 가까운 특허출원(66건)이 되는 등 최근 급증세를 보이고 있는 것으로 조사되었다(붙임 2). 이는 조사 기간 동안의 전체 팬-아웃 방식 반도체 패키지 관련 특허출원의 10%에 해당하는 것이다.
- 국적별로는 우리나라(65건, 37%), 미국(46건, 26%), 대만(25건, 14%), 일본(20건, 11%), 싱가포르(10건, 6%)의 순으로 특허출원이 많았다(붙임 3).
- 최근에는 미국과 대만의 특허출원이 크게 증가한 것으로 나타났는데(붙임 4), 이는 스마트 폰용 반도체 칩의 수탁 생산 사업에 새로이 뛰어든 미국의 인텔社와, 최근 출시된 미국 애플社의 스마트폰인 아이폰 7에 들어가는 핵심 반도체 부품을 제조하기 시작한 대만의 TSMC社에 힘입은 바 큰 것으로 풀이된다.
- 기업별로는 인텔社(미국, 21건, 12%), 삼성전자社(한국, 18건, 10%), 엠코테크놀로지코리아社(한국, 17건, 10%), TSMC社(대만, 17건, 10%), 닛토덴코社(일본, 11건, 6%), 스태츠칩팩社(싱가포르, 8건, 5%), 네패스社(한국, 7건, 4%), 및 하나마이크론社(한국, 6건, 3%)순으로 특허출원이 많은 것으로 조사되었다(붙임 5).
- 이와 같이 한국, 미국, 대만 및 일본 등의 각국 기업이 팬 아웃 웨이퍼 레벨 패키지(FOWLP) 기술에 관한 특허출원을 늘려나가고 있는 상황인바, 고사양 휴대용 전자기기 분야에서 팬 아웃 웨이퍼 레벨 패키지(FOWLP) 기술을 둘러싼 국내외 기업들의 경쟁은 더욱 치열해질 것으로 전망된다.

□ 특허청 제승호 반도체심사과장은 “최근 각국 기업의 팬 아웃 웨이퍼 레벨 패키지(FOWLP) 기술에 관한 특허 출원이 급증하고 있는데, 우리나라 기업들이 스마트 폰 뿐만 아니라 새롭게 부상하고 있는 웨어러블 기기와 사물 인터넷분야에서 시장우위를 점하기 위해서는 반도체 패키지 소형화 및 시스템화의 핵심 기술인 팬 아웃 웨이퍼 레벨 패키지(FOWLP) 관련 특허 출원을 보다 적극적으로 확대해 나갈 필요가 있다”고 말했다.

[붙임 1] 팬아웃 웨이퍼 레벨 패키지(FOWLP) 개요



<팬 아웃 연결>



<FOWLP 구조>



<PCB가 포함된 패키지와 FOWLP의 두께 비교 >

출처: Yole Developpement
<http://docplayer.net/14589633-Semi-networking-day-packaging-key-for-system-integration.html>

반도체 칩의 크기가 줄어들면서 칩 전극 사이의 간격 또한 지속적으로 작아지고 있으나 칩이 실장되는 마더 보드 상의 전극 간격은 이를 따르지 못하고 있다. 이러한 문제를 해결하기 위해 칩 바깥쪽에도 패키지 입출력 단자를 배치시킨 것이 팬 아웃 방식의 반도체 패키지이다.

* 반도체 패키지는 칩 영역에 대한 패키지 입출력 단자의 위치에 따라 팬 인 (Fan-In) 방식과 팬 아웃(Fan-Out) 방식으로 나뉜다. 대다수 패키지는 입출력 단자 사이의 간격에 큰 제한이 없는 팬 아웃 방식으로 설계된다.

- 팬 인 방식: 칩 사이즈가 비교적 커서 칩에 형성된 전극이 마더 보드에 형성된 전극과 동일한 간격으로 대응되는 경우에 적용되는 구조
- 팬 아웃 방식: 칩 사이즈가 작아서 칩에 형성된 전극 사이의 간격이 마더 보드에 형성된 전극 간격 보다 더 작은 경우에 적용되는 구조



< 팬 인과 팬 아웃 방식의 비교 >

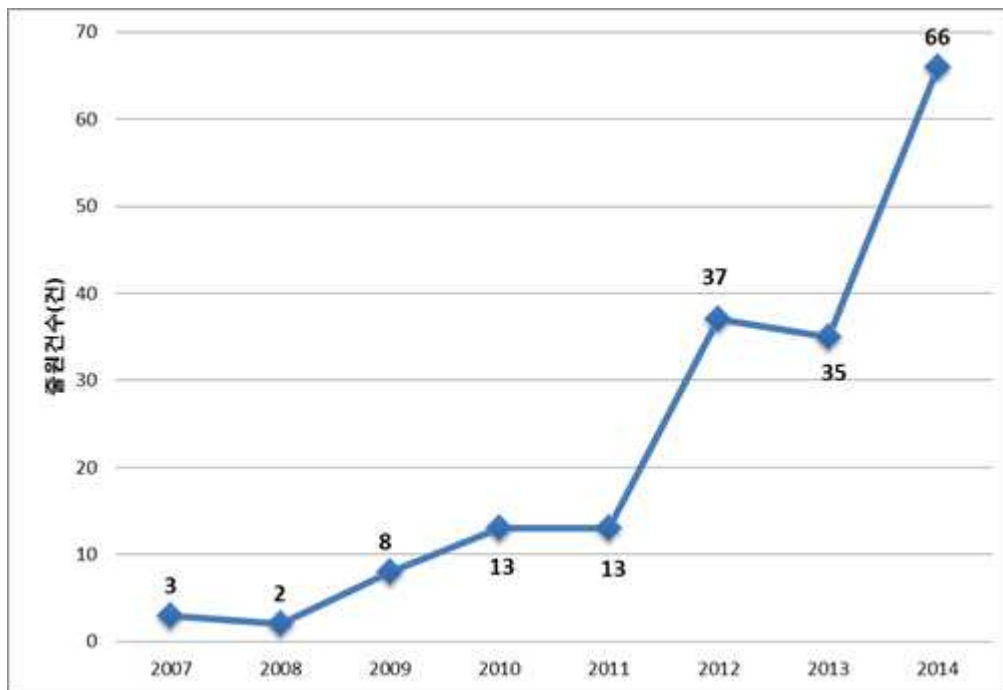
통상의 팬 아웃 방식 반도체 패키지의 경우 마더 보드의 전극과 칩 전극을 서로 연결하기 위하여 인쇄회로기판(Printed Circuit Board: PCB)이 포함되며, 칩은 PCB 상에 와이어나 범프(bump)를 통하여 실장되므로 제조 공정이 복잡하고 패키지 두께가 두껍다는 단점이 있었다.

이러한 통상적인 팬 아웃 패키지의 단점을 극복할 수 있는 것으로 최근 각광받고 있는 것이 팬 아웃 웨이퍼 레벨 패키지(Fan-Out Wafer Level Package: FOWLP)이다.

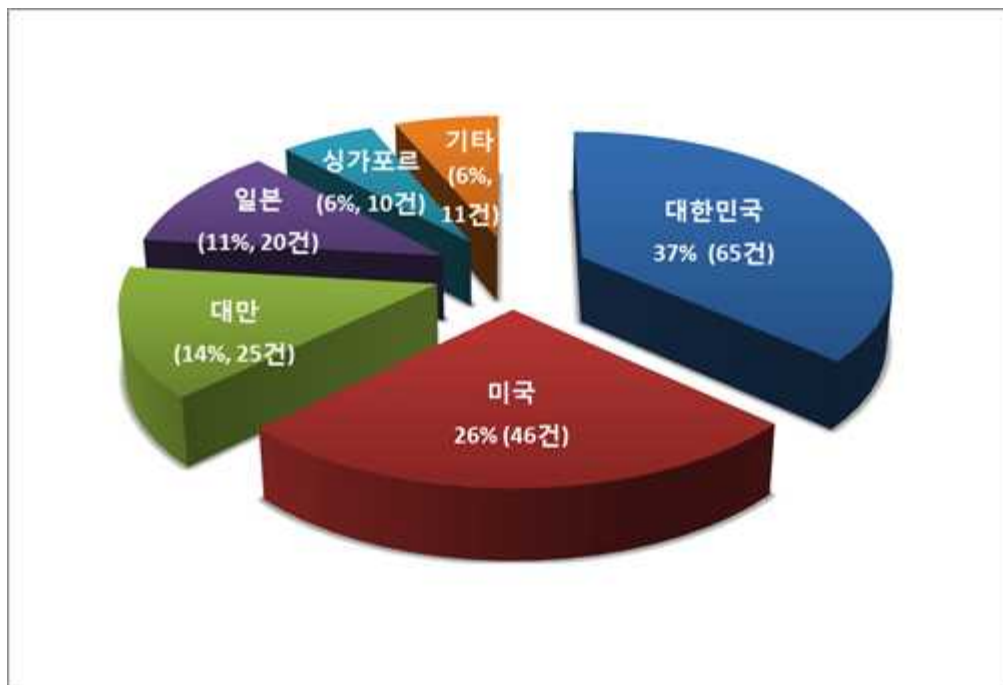
FOWLP는 칩과 마더 보드 전극의 연결이 인쇄회로기판(PCB)이 아니라 폴리머 층과 도전층의 적층으로 이루어진 얇은 재배선층(Redistributed Layer: RDL)을 통하여 이루어진다.

재배선층은 두께(수 십 μm)가 PCB(수 백 μm) 보다 얇으며, 패키지 형성 시 전극 위에 직접 형성된다. 그 결과 별개의 공정에서 미리 제조된 PCB에 칩을 연결하기 위한 와이어나 범프가 필요 없으므로 FOWLP의 두께를 기존 패키지(0.8~1.0mm)의 절반 수준(0.4~0.6mm)으로까지 줄일 수 있으며, 기존 패키지 공정 대비 원가 경쟁력도 높다. 또한, 얇아진 두께에 의하여 방열 기능이 향상되며 배선 길이가 짧아짐에 따라 신호 전송도 효율적으로 이루어진다.

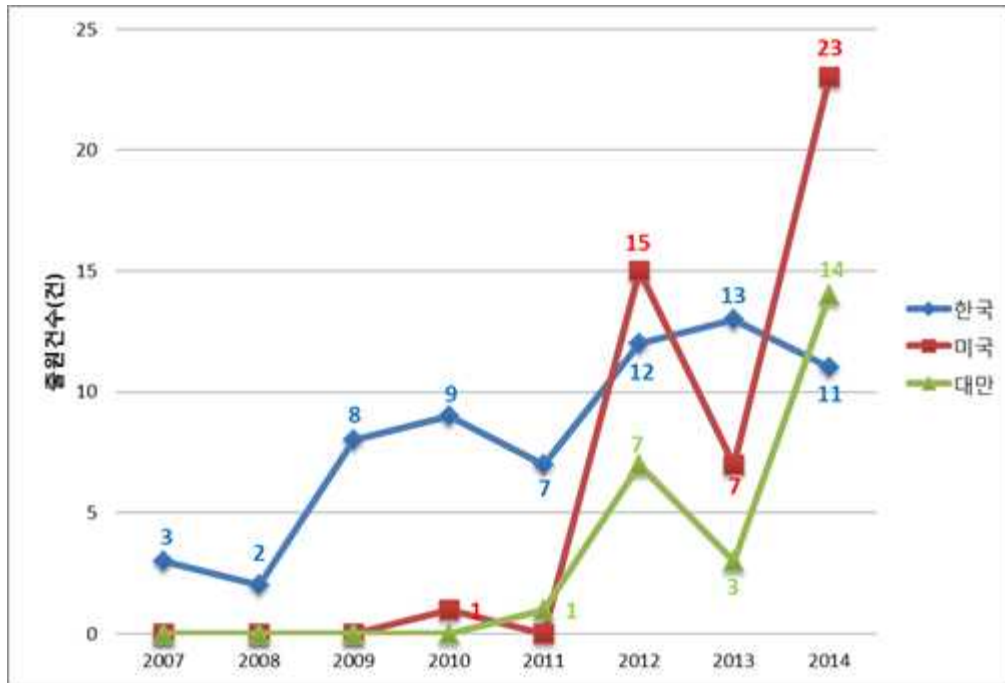
[붙임 2] FOWLP 관련 특허 연도별 출원 동향



[붙임 3] FOWLP 관련 출원인 국적에 따른 출원 현황 (2007~2014)



[붙임 4] FOWLP 관련 출원인 국적에 따른 연도별 출원 동향



[붙임 5] FOWLP 관련 특허의 기업별 출원 현황 (2007~2014)

